

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-244411

(43)Date of publication of application : 21.09.1993

(51)Int.Cl. H04N 1/40
G02B 7/28
H04N 5/235

(21)Application number : 04-072989 (71)Applicant : OLYMPUS OPTICAL CO
LTD

(22)Date of filing : 26.02.1992 (72)Inventor : UNO MASAYUKI

(54) SIGNAL CONVERTER FOR PHOTO SENSOR ARRAY

(57)Abstract:

PURPOSE: To obtain the signal converter for the photo sensor array in which a quantization signal proportional to light is obtained by using a clock whose period is almost constant and the quantization signal with high S/N is obtained without dispersion in a dark current component by making an integration time of each picture signal constant.

CONSTITUTION: A threshold level detection inverter 13 between its input and output a switching element 14 is connected connects to an amplifier type photoelectric conversion element 10 having a function of latching a voltage after the end of integration via a capacitive element 11a variable voltage generating circuit 51 is connected to the input of the inverter 13 via a capacitive element 12and an output of the inverter 13 is outputted via a NOR circuit 16. After integration for a prescribed time after resetting of the photoelectric conversion

element 10a voltage VO of the variable voltage generating circuit 51 is decreased linearly with respect to time to obtain a pulse whose time width is obtained till an output of the inverter 13 is inverted and quantization is applied to the pulse width to obtain a quantization signal.

CLAIMS

[Claim(s)]

[Claim 1]Signal conversion equipment of an optical sensor array characterized by comprising the following.

An amplified type photoelectric conversion pixel which has the function to generate a voltage output corresponding to light which entered and to hold voltage at the time of an end of integration.

A threshold detector circuit for judging output voltage of this amplified type photoelectric conversion pixel.

The 1st switching element connected between input and output of this threshold detector circuit.

The 1st capacitive element connected between an amplified type solid state image pickup device output and an input of a threshold detector circuit
An end constitutes a unit cell from the 2nd capacitive element connected to an input of a threshold detector circuit
Arrange two or more these unit cells and output voltage for superimposing offset voltage connects the other end of said 2nd capacitive element common to an output of a variable voltage generation circuit in which variable is possible and constitutes an optical sensor array
A means which makes the 1st switching element switch-on at the time of reset of an amplified type photoelectric conversion pixel and to which a variable voltage generation circuit is made to output a reset action as the 1st voltage
A means to cancel reset of an amplified type photoelectric conversion pixel for an output of a reset action
backward variable voltage generation circuit with the 1st voltage and to start integration by making the 1st switching element into non-switch-on and to make

fixed time integration perform according to a luminosity of a photographic subject. A means to generate a quantized signal corresponding to time where voltage at the time of an end of integration is held the whole pixel until it increases or decreases an output of a variable voltage generation circuit continuously from the 1st voltage and an output of a threshold detector circuit is reversed from the time.

[Claim 2] Signal conversion equipment of the optical sensor array according to claim 1 characterized by using an inverter circuit as said threshold detector circuit.

[Claim 3] Signal conversion equipment of the optical sensor array according to claim 1 wherein a right side input uses a differential amplifier connected to reference voltage as said threshold detector circuit.

[Claim 4] Signal conversion equipment of an optical sensor array characterized by comprising the following.

An amplified type photoelectric conversion pixel which has the function to generate a voltage output corresponding to light which entered and to hold voltage at the time of an end of integration.

A differential amplifier for judging output voltage of this pixel.

The 1st switching element connected between a negative side input of this differential amplifier and an output.

A unit cell is constituted from the 1st capacitive element connected between an amplified type photoelectric conversion pixel output and a negative side input of a differential amplifier. Arrange two or more these unit cells and output voltage connects to a right side input of said differential amplifier in common. An output of a variable voltage generation circuit in which variable is possible and an optical sensor array is constituted. A means which makes the 1st switching element switch-on at the time of reset of an amplified type photoelectric conversion pixel and to which a variable voltage generation circuit is made to output a reset action as the 1st voltage. A means to cancel reset of an amplified type photoelectric conversion pixel for an output of a reset action backward variable voltage

generation circuit with the 1st voltage and to start integration by making the 1st switching element into non-switch-on and to make fixed time integration perform according to a luminosity of a photographic subject. A means to generate a quantized signal corresponding to time where voltage at the time of an end of integration is held the whole pixel until it increases or decreases an output of a variable voltage generation circuit continuously from the 1st voltage and an output of a differential amplifier is reversed from the time.

[Claim 5] A capacitive element by which one end was connected to a reference voltage source in said variable voltage generation circuit and the other end was connected to a current source. It comprises a buffer connected to a node between a switching element which connects both ends of this capacitive element and said current source and a capacitive element. Signal conversion equipment of an optical sensor array given in any 1 paragraph of claims 1-4 making said switching element into an OFF state when making said switching element into an ON state when outputting the 1st voltage and making it change continuously.

[Claim 6] Said quantized signal generating means counts the number of reference clocks during time until an output of a threshold detector circuit is reversed from time to which it began to change an output of a variable voltage generation circuit. Signal conversion equipment of an optical sensor array given in any 1 paragraph of claims 1-5 constituting so that a signal corresponding to the number of the reference clocks may be outputted.

[Claim 7] Establish a monitor means which detects an output at the time of an end of integration of an amplified type photoelectric conversion pixel of said optical sensor array and when a monitor level of this monitor means is large, namely holding voltage is large. Signal conversion equipment of the optical sensor array according to claim 6 controlling so that a monitor level makes small the number of reference clocks per unit time few when the number of reference clocks per unit time is increased and holding voltage is small.

[Claim 8] Establish a monitor means which detects an output at the time of an end

of integration of an amplified type photoelectric conversion pixel of said optical sensor array and when a monitor level of this monitor means is large, namely holding voltage is large, Enlarge a rate of change of output voltage of said variable voltage generation circuit and small [a monitor level] when holding voltage is small. Signal conversion equipment of an optical sensor array given in any 1 paragraph of claims 1-4 controlling to make small a rate of change of output voltage of said variable voltage generation circuit.

[Claim 9] A capacitive element by which one end was connected to a reference voltage source in said variable voltage generation circuit and the other end was connected to two or more current sources via direct or a switching element. It comprises a buffer connected to a node between the 1st switching element that connects both ends of this capacitive element and said current source and a capacitive element. Signal conversion equipment of the optical sensor array according to claim 8 constituting so that a rate of change of output voltage may be changed by switching a switching element connected to said current source.

[Claim 10] On said optical sensor array provide at least one light shielding picture element for obtaining a protection-from-light output and said quantized signal generation circuit. Signal conversion equipment of an optical sensor array given in any 1 paragraph of claims 1-4 constituting so that a quantized signal corresponding to time until an output of a threshold detector circuit of each light-receiving pixel is reversed from time which an output of a threshold detector circuit of said light shielding picture element reversed may be generated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] In the optical sensor array which consists of two or more unit cells which have an amplified type photoelectric conversion pixel, this

invention relates to the signal conversion equipment of the optical sensor array it was made to output the signal corresponding to the light volume which entered into each pixel as a digital signal.

[0002]

[Description of the Prior Art] Although the one-dimensional line sensor is conventionally used for the auto-focusing (AF) of the camera, the digital disposal circuit which changes the signal output of this line sensor into digital data and outputs it is indicated in JP58-179068A, JP64-6509B, etc. The basic principle of these digital disposal circuits by establishing the threshold detector circuit reversed when the voltage by the photoelectrical load by which it was generated with the photo-diode becomes a certain reference voltage in each pixel. After making a lightwave signal into the signal of the pulse width corresponding to the size of this signal, a quantized signal is outputted according to the time which reached threshold voltage.

[0003] The basic constitution of the pixel for explaining the digital disposal circuit of the conventional line sensor is shown in drawing 16, and the timing chart for the explanation of operation is shown in drawing 17. In drawing 16, the nMOS transistor for reset for the capacity for accumulating the electric charge which generated 101 with the photo-diode and generated 102 with the photo-diode 101, and 103 to give initial potential to the capacity 102, and 104 are the inverters for detecting a threshold. In drawing 17, in which change of the potential of each part of this pixel is shown, PS [in / for the voltage from which $v /$ in / for the gate voltage of the nMOS transistor 103 / in RP in (a) / (b) / change the voltage, i.e. the photoelectrical load of the capacity 102 / (c)] shows the output voltage of the inverter 104.

[0004] In the pixel of such composition, if gate voltage RP is used as "H" level at the time of a photoelectrical integration start, the nMOS transistor 103 will be in an ON state, and as for the capacity 102, Klang Delay Belle's initial voltage will be given. At this time, inverter-output-voltage PS shows "H" level. Next, by using gate voltage RP as the "L" level, the electron hole generated when light entered into the

photo-diode 101 is accumulated in the capacity 102 and the voltage v of the capacity 102 rises. Inclination will become gently-sloping if that inclination is large when incident light quantity is large at this time and incident light quantity is small. Then if the voltage v of the capacity 102 reaches the threshold voltage of the inverter 104, inverter-output-voltage PS will switch to "L" level from "H". It will become long if dark [when incident light quantity is large at this time until it reaches threshold voltage is short when incident light quantity is conversely small time is long and pulse width W of inverter-output-voltage PS is bright for this reason it is short and]. The quantized signal according to that pulse width can be acquired by counting time until this inverter output pulse switches from "H" to "L" level using a clock.

[0005] When capacity value C_t of the storage capacitance 102 in drawing 16 and photoelectric current are made into I_P if reset time t_w until it reaches threshold voltage V_{TH} of the inverter 104 is calculated it will become like a following formula (1).

$$t_w = V_{TH} \text{ and } C_t / I_P \dots (1)$$

[0006] Therefore when it counts with the clock of periodic regularity unless it takes the reciprocal of the counted value it does not become a value proportional to a luminosity. Then means to change the cycle of the clock to count with time are taken.

[0007] Next this means is explained. Change of the output voltage v to the reset time of four pixel ** from which a luminosity differs **** and ** is shown in drawing 18. Pixel ** uses the brightest pixel i.e. a pixel with shortest reset time t_w among a sensor array. The pixel of 1/2 of the luminosity 1/4 and 1/8 is shown as **** and ** to it. What is necessary is just to perform it as follows in order to give 64 to 128 and pixel ** and to give 32 to 256 and pixel ** at pixel ** at the quantized value which is proportional to a luminosity at this pixel for example pixel **.

[0008] What is necessary is to give 256 first to a counter as a value of a counter when the inverter output of pixel ** is reversed and just to lower the value of the counter according to the number of clocks after that. Since it does not

become data proportional to a luminosity with the clock of periodic regularity then As shown in a figure when time until each output voltage of each pixel ***** and ** reaches threshold V_{TH} is made into t_1, t_2, t_3 and t_4 . It is 128 from t_1 to t_2 . So that the clock of an individual may be outputted 64 clocks may be outputted between t_2 and t_3 and 32 clocks may be outputted between t_4 from t_3 . By lengthening the cycle of a clock with time progress the data of 32 is given to pixel ** to 64 and pixel ** at 256 and pixel ** at 128 and pixel **. The cycle of this clock is determined corresponding to the time which for the output voltage of pixel ** to have exceeded threshold voltage V_{TH} and was taken for an inverter output to be reversed.

[0009]

[Problem(s) to be Solved by the Invention] By the way the two following problems are among the A/D conversion methods which quantize the above-mentioned pixel output. The 1st point is that the circuit which generates a clock becomes complicated and circuit structure increases in order to have to lengthen the cycle of the clock inputted into a counter for giving the quantized signal proportional to light corresponding to progress of time. Since the 2nd point differs [the above-mentioned A/D conversion method] in reset time by a pixel even if it differs in the dark current component contained in each quantized signal and its dark current which is each pixel corresponds it is that S/N of the signal which the dark current component in the quantized signal showed dispersion and was quantized as a result deteriorates.

[0010] This invention is what was made in order to cancel the above-mentioned problem in the signal conversion equipment of the conventional optical sensor array. It aims at acquiring the quantized signal which is proportional to light with the clock of periodic regularity and providing the signal conversion equipment of an optical sensor array with which the quantized signal of high S/N which fixes reset time of each pixel and does not have dark current component dispersion was acquired.

[0011]

[Means for Solving the Problem and its Function]An amplified type photoelectric conversion pixel which has the function for this invention to generate a voltage output corresponding to light which entered and to hold voltage at the time of an end of integration in order to solve the above-mentioned problemA threshold detector circuit for judging output voltage of this amplified type photoelectric conversion pixelThe 1st switching element connected between input and output of this threshold detector circuitThe 1st capacitive element connected between an amplified type solid state image pickup device output and an input of a threshold detector circuitAn end constitutes a unit cell from the 2nd capacitive element connected to an input of a threshold detector circuitArrange two or more these unit cellsand output voltage for superimposing offset voltage connects the other end of said 2nd capacitive element common to an output of a variable voltage generation circuit in which variable is possibleand constitutes an optical sensor arrayA means which makes the 1st switching element switch-on at the time of reset of an amplified type photoelectric conversion pixel and to which a variable voltage generation circuit is made to output a reset action as the 1st voltageWhere the whole pixel is helda means to cancel reset of an amplified type photoelectric conversion pixel for an output of a variable voltage generation circuit after a reset action with the 1st voltageand to start integration by making the 1st switching element into non-switch-onand to make fixed time integration perform according to a luminosity of a photographic subjectand voltage at the time of an end of integrationAn output of a variable voltage generation circuit is continuously increased or decreased from the 1st voltagea means to generate a quantized signal corresponding to time until an output of a threshold detector circuit is reversed from the time is formedand signal conversion equipment of an optical sensor array is constituted.

[0012]In signal conversion equipment constituted in this wayAt the time of reset of an amplified type photoelectric conversion pixelmake the 1st switching element into switch-onand a variable voltage generation circuit is outputted for a reset action as the 1st voltageCancel reset of a pixel for an output of a variable

voltage generation circuit after that with the 1st voltage and integration is started by making the 1st switching element into non-switch-on. After performing fixed time integration according to a luminosity of a photographic subject, where voltage at the time of an end of integration is held the whole pixel, an output of a variable voltage generation circuit is continuously increased or decreased from the 1st voltage and a quantized signal corresponding to time until an output of a threshold detector circuit is reversed from the time is generated. By this reset time of each pixel is in agreement and an output of a variable voltage generation circuit of each pixel is continuously increased or decreased from the 1st voltage. Since time until an output of a threshold detector circuit is reversed from the time is proportional to voltage on which it was held at the time of an end of integration, when it counted and quantizes with a clock of periodic regularity, the quantized value turns into a value proportional to light volume.

[0013]

[Example] Next an example is described. Drawing 1 is a circuitry figure showing the composition of the principal part of the fundamental example of the signal conversion equipment of the optical sensor array concerning this invention. In a figure 10 shows the example of composition of the amplified type photoelectric conversion pixel holding the voltage at the time of the end of integration. 1 a photo-diode and 3 by one of the storage capacitance. The parasitic capacitance of a photo-diode. Hold capacity and 2 are amplifiers. The nMOS switching element driven by sample-hold-pulses ϕ_{SH} for the nMOS switching element driven by reset pulse ϕ_{IR} for 4 to perform a reset action and 6 to hold the voltage at the time of the end of integration and 7. And the output of the amplified type photoelectric conversion pixel 10 is connected to the input of the inverter 13 which operates as a threshold detector circuit via the capacitive element 11 in series. Between input and output of this inverter 13 the switching element 14 driven by reset pulse ϕ_{IR} is connected. The output of the variable voltage generation circuit 51 is connected to the input of this inverter 13 via the capacitive element 12. The output of the inverter 13 is connected to one input

of 2 input NOR circuit 16 and sample-hold-pulses ϕ_{SH} is connected to the input of another side of NOR circuit 16.

[0014] Next explanation of operation is given based on drawing 2 in which change of voltage V_S in each node of the fundamental example shown in drawing 1 V_O V_N PS1 and PS2 is shown. The whole operation is divided into 3 operations of a reset action (period T_0) an integral action (period T_1) and A/D conversion operation (period T_2). A reset pulse $\phi_{IR} = "H"$ level and a sample-hold-pulses $\phi_{SH} = "H"$ level perform at the time of a reset action. Pixel output V_S at this time serves as voltage corresponding to reset voltage V_R' of the photo-diode 1 and makes that voltage V_R . Voltage of output V_O of the variable voltage generation circuit 51 is made into V_1 . When threshold voltage of the inverter 13 was made into V_{TH} and between input and output is connected by the switching element 14 the input-and-output voltage serves as V_{TH} . Therefore the voltage of each node of reset operation period T_0 becomes like a following formula (1).

$$V_S = V_R \quad V_O = V_1 \quad V_N = V_{TH} \quad \dots (1)$$

[0015] In integral action period T_1 reset pulse ϕ_{IR} serves as $"L"$ level from $"H"$ and an integral action is performed. It is considered as $C_t = C_d + C_{SH}$ by making capacity value of capacity value C_d of the photo-diode parasitic capacitance 3 and the sample hold capacity 7 into C_{SH} . If the voltage amplification rate of the amplifier 2 is set to 1 pixel output V_S will go up by I_P and t_{int}/C_t . I_P is photoelectric current and t_{int} is reset time here. In the capacity value of the capacitive element 11 if capacity value of C_1 and the capacitive element 12 is made into C_2 each node voltage in integral action period T_1 will serve as a following formula (2).

$$V_S = V_R + I_P \text{ and } t_{int}/C_t \quad V_O = V_1 \quad V_N = V_{TH} + \{C_1/(C_1 + C_2)\} - \{I_P \text{ and } t_{int}/C_t\} \quad \dots (2)$$

[0016] After carrying out fixed time integration ϕ_{SH} is used as $"L"$ level from $"H"$ and integration is ended. Thereby pixel output voltage V_S is held at the voltage at the time of ϕ_{SH} changing to $"L"$ level from $"H"$.

[0017] Then it goes into A/D conversion operation period T_2 . As this A/D conversion operation is shown in drawing 2 voltage V_O of the variable voltage

generation circuit 51 which was fixed voltage till then it is linearly made small to time and the pulse of time width until the output of the inverter 13 is reversed is acquired it quantizes to the pulse width and a quantized value is acquired. Here if ϕ_{isH} serves as "L" level from H it is being begun to decrease variable voltage at the time. Voltage percentage reduction of the variable voltage generation circuit 51 is made into $-k_v$ (v/sec) and if time which passed from the time which decreased voltage is set to the voltage of each node will serve as a following formula (3).

$$V_{out} = V_R + I_P \text{ and } t_{int}/C_t + [V_O = V_1 - k_v \text{ and } t \text{ } V_N = V_{TH}] \{C_1/(C_1 + C_2)\} - \{I_P \text{ and } t_{int}/C_t\} - \{C_2/(C_1 + C_2)\} - k_v \text{ and } t \text{ } \text{--- (3)}$$

[0018] From this formula (3) time t_w from the voltage reduction start time of the variable voltage generation circuit 51 to inverter output reversal is calculated. Since it is $V_N = V_{TH}$ the voltage which the output of the inverter 13 reverses is $\{C_1/(C_1 + C_2)\} - \{I_P \text{ and } t_{int}/C_t\}$.

$$- \{C_2/(C_1 + C_2)\} - k_v \text{ and } t_w = 0 \text{ --- } - \{I_P \text{ and } t_{int}/C_t\} (4) + \{C_1/(C_2 \text{ and } k_v)\} \text{ i.e. } t_w = \dots (4)$$

[0019] Since $t_{int} C_t k_v C_1$ and C_2 are the same in all the pixels as shown in the above-mentioned (4) formula t_w is proportional to I_P and proportionality i.e. t_w is proportional to a luminosity. Therefore the quantized value acquired by detecting pulse width with the clock of periodic regularity of pulse output PS2 with this pulse width t_w turns into a value proportional to a luminosity.

[0020] Next a concrete example including the circuit which performs an A/D conversion is described based on drawing 3. This example is a thing using grounded source type AMI (Amplified MOS Imager) which has a sample hold function as the amplified type photoelectric conversion pixel 10 and this pixel 10 is provided with the photo-diode 1 and the nMOS transistor 2 for amplification. This nMOS transistor 2 grounds the end of said photo-diode 1 is connected to a gate the pMOS transistor 5 which operates as active load is connected to a drain and it has become a grounded source type amplifying circuit. And the feedback capacity 3 and the nMOS transistor 4 for reset are connected between the gate drains of said nMOS transistor 2 for amplification and this circuit

accumulates the electric charge generated with the photo-diode 1 in the feedback capacity 3 and outputs that electric charge as the drain change of potential. The nMOS switching element 6 and hold capacity which carry out sample hold of the drain voltage of the nMOS transistor 2 for amplification to the basic constitution of this AMI. The pMOS transistor 8 of the source follower form of operating as a buffer and the pMOS transistor 9 which works as active load are added and the unit pixel is constituted.

[0021] The inverter 13 which operates as a threshold detector circuit which connected the switching element 14 between input and output was formed to the amplified type photoelectric conversion pixel 10 which has this sample hold function and the capacitive element 11 is connected in series between that input and the output of the amplified type photoelectric conversion pixel 10. The output of the variable voltage generation circuit 51 is impressed to the input of this inverter 13 via the capacitive element 12 at the output and parallel of the amplified type photoelectric conversion pixel 10. And the latch circuitry 15 which latches the data of the counter 52 is formed in response to the output of this inverter 13 at the time of output reversal of the inverter 13. Said counter 52 counts clock ϕ_{ICK} generated from the clock generation circuit 53. And said pixel 10 the capacitive elements 11 and 12 the inverter 13 for threshold detection the switching element 14 and the latch circuitry 15 are formed by a pixel number and the output of the variable voltage generation circuit 51 and the output of the counter 52 are connected in common to each pixel.

[0022] Next operation of the example constituted in this way is explained based on the timing chart of drawing 4. Operation of this example as well as [completely] the fundamental example shown in drawing 1 is divided into reset operation period T_0 integral action period T_1 and A/D conversion operation period T_2 . And in A/D conversion operation in the example shown in drawing 1. A/D conversion operation to carrying out from the time of sample-hold-pulses ϕ_{SH} serving as "L" level from H" in this example. A/D conversion operation is started from the time of providing pulse ϕ_{ST} which defines A/D conversion start timing and pulse

ϕ_{IST} serving as "L" level from H". Operation of the analog signal system in reset operation period T_0 other than this A/D conversion operation and integral action period T_1 is completely the same as the operation shown in drawing 2.

[0023] Therefore the A/D conversion operation changed into a digital signal here is explained. The operation of a digital signal system of reset operation period T_0 and integral action period T_1 is waiting by "H" level of pulse ϕ_{IST} .

As for the output of the counter 52 the initial value is held.

In A/D conversion operation period T_2 if pulse ϕ_{IST} is set to "L" level from H" Operation of a digital signal system starts the clock ϕ_{ICK} of periodic regularity operates the counter 52 counts the standup of the clock ϕ_{ICK} and the counter output increases at the same time output voltage V_O of the variable voltage generation circuit 51 starts a fall. At the time which became $V_N = V_{TH}$ here the output of the inverter 13 serves as "H" level from "L" the output data of the counter 52 in this timing is incorporated into the latch circuitry 15 and the data of this latch circuitry 15 turns into quantization data. The above operation is equivalent to having quantized output-pulse-width t_w of PS2 shown by drawing 2 and the data produced by doing in this way turns into data proportional to a luminosity.

[0024] Although the example shown in above-mentioned drawing 1 and drawing 3 showed what used the inverter as a threshold detector circuit the threshold detector circuit may not be an inverter or may use the large differential amplifier of a gain like an operational amplifier. The example of composition which used the operational amplifier 21 as a threshold detector circuit is shown in drawing 5. Portions other than this threshold detector circuit can use what was shown in drawing 3 and the completely same thing. As shown in drawing 5 the operational amplifier 21 connects + side input to reference voltage source V_{ref} and forms the switching element 14 between - side input and an output. When the switching element 14 is turned on by having such composition it operates as a voltage follower and output voltage serves as $V_{ref} + V_{OFF}$. V_{OFF} is offset voltage here. When the switching element 14 is turned off it becomes comparator operation by

making $V_{ref} + V_{OFF}$ into a threshold. Therefore as for the output voltage and threshold voltage at the time of reset even if offset voltage V_{OFF} exists since it is equal the same operation as an inverter is performed.

[0025] Next the example of composition which simplified further the threshold detector circuit of composition of having been shown in drawing 5 is shown in drawing 6. This example of composition deletes the capacitive element 12 and reference voltage source V_{ref} from the example of composition shown in drawing 5 and is considering them as the composition which carried out direct continuation of the output voltage V_O of the variable voltage generation circuit 51 to + side input of the operational amplifier 21. In this composition unlike having been shown in the timing chart of drawing 2 and drawing 4 output voltage V_O of the variable voltage generation circuit 51 must increase to an A/D conversion operation period with time. The timing chart corresponding to drawing 2 is shown in drawing 7. A different point from the timing chart shown in drawing 2 is carrying out the motion accompanying pixel output voltage V_S in voltage V_N to inclination of variable output voltage V_O being a right side during the A/D conversion operation period (T_2).

During an A/D conversion operation period although voltage V_N is fixed voltage Since threshold voltage V_{TH} goes up in connection with variable output voltage V_O output PS serves as an output equivalent to output PS1 of drawing 2 or output PS of drawing 4 at the point which an inverter output reverses when this threshold voltage V_{TH} becomes V_N .

[0026] In drawing 7 although output PS is unfixed in reset operation period T_0 This becomes settled by offset voltage V_{OFF} of the initial voltage of variable output voltage V_O and the operational amplifier 21 If initial voltage of variable output voltage V_O is made into V_1 and offset voltage of the operational amplifier 21 is made into V_{OFF} when $V_1 + V_{OFF}$ is lower than the threshold voltage of the inverter of the next step of the operational amplifier 21 it will be set to the "L" level and it will be set to "H" level when high. As explained above the same operation as the

example shown in drawing 1 and drawing 3 is possible by constituting a threshold detector circuit as shown in drawing 6 and giving impressed electromotive force as shown in drawing 7.

[0027] Next the example of composition of the variable voltage generation circuit used in each above-mentioned example is explained based on drawing 8. In drawing 8 the power supply which gives initial-voltage V_1 the nMOS transistor for which 31 uses a capacitive element and 32 as a switching element and 33 are a current source and an operational amplifier which uses 34 as a buffer. Supposing the ON resistance of the nMOS transistor 32 is small enough and the offset voltage of the operational amplifier 34 is small enough voltage V_1 will be outputted as variable output voltage V_O at the time of a $\phi_{IST}(\phi_{ISH}) = "H"$ level. In drawing 2 and 4 and 7 reset operation period T_0 and integral action period T_1 are in this state. From the time of $\phi_{IST}(\phi_{ISH})$ being set to $"L"$ level from H^+ side input voltage of the operational amplifier 34 begins to decrease by fixed inclination. With the current value and the capacity value 31 of the current source 33 this inclination can be set up arbitrarily. What is necessary is just to carry out direction of the current of the current source 33 reversely in order to make inclination into the positive direction instead of a negative direction. In drawing 2 and 4 and 7 A/D conversion operation period T_2 corresponds to this state. Thus by using the composition shown in drawing 8 the variable voltage generation circuit where inclination is constant and changes to time is realizable.

[0028] In each above-mentioned example although each signal hold level at the time of the end of an integral action period (T_1) was not explained if a clock frequency is constant and inclination of variable output voltage V_O is constant reset time must be adjusted so that the signal hold level of the amplified type photoelectric conversion pixel at the time of the end of integration may become fixed.

[0029] However when it is easy to perform control of reset time and its photographic subject is dark in order that reset time may be [it] shorter for the direction which enlarged the signal level when a photographic subject was bright

to make a signal level small and it may end there is a conflicting requirement that speedup of a system is measured.

[0030] Then even if signal hold levels differ if latch circuitry is 8 bits according to a signal hold level means to adjust the range of an A/D conversion is explained so that the quantized value of 8-bit accuracy may be given. In order to realize this the monitor means which detects the last holding voltage of an amplified type pixel and the adjustment device which adjusts A/D range according to the disregard level are needed. Next two examples of the adjustment device of one and A/D range are described for the example of a monitor means.

[0031] The example of a monitor means is first shown in drawing 9. In drawing 9 10 is what simplified and showed the amplified type pixel and has actually the same composition as the amplified type pixel shown in drawing 1 or drawing 3. The capacitive elements 11 and 12 the inverter 13 for threshold detection and the switching element 14 are the things of the same composition as the above-mentioned example and two or more these are arranged and are constituted by array form. As a monitor means connect the gate of the nMOS transistor 40 which operates as a source follower respectively and use the drain as a power supply and source is made the output of each amplified type pixel 10 [all the / pixel] The DEPURSHON type nMOS transistor 41 which operates as load is connected to that source line 49 connected in common and the voltage corresponding to the maximum output of the amplified type pixel 10 appears in this source line 49. This source line 49 is connected to one input of the comparator groups 42 43 and 44 which detect source line voltage. The input of another side of this comparator group is connected to reference voltage source V_{ref1} different respectively V_{ref2} and V_{ref3} .

With the output of this comparator group it is judged whether the voltage of the source line 49 is contained in which range.

Print-out C_1 of these comparator groups 42 43 and 44 C_2 and C_3 are received in the A/D control circuit 45 and control signal ϕ_{CT1} of the clock generation circuit 53 or the variable voltage generation circuit 51 and ϕ_{CT2} are outputted.

[0032]The monitor means of such composition can detect the maximum of the output in the pixel array at the time of the end of an integral action and control of the clock generation circuit 53 or the variable voltage generation circuit 51 is possible according to the level. Although the above-mentioned example showed what below V_{ref1} was made to detect four ranges more than V_{ref3} between $V_{ref2} - V_{ref3}$ between $V_{ref1} - V_{ref2}$ as for as a voltage range using three comparators By increasing the number of comparators it is possible to divide a voltage range still more finely.

[0033]Next the example of the adjustment device which adjusts A/D range with a monitor means is described. The 1st means is a method controlled by the cycle of a clock. The timing chart showing the control mode which changes a clock period to 8-bit latch circuitry according to each level and switches A/D range to it is shown in drawing 10. By the judgment of the comparator in the monitor means shown in drawing 9 drawing 10 shows the clock period corresponding to each which was divided into four ranges. Usually when dividing into four voltage ranges it is efficient for the maximum to consider it as the saturation level of a sensor and to divide with $1/2$, $1/4$ and $1/8$ in order to a saturation level. The reference voltage of the comparator corresponding to this $1/2$ level V_{ref3} The reference voltage of the comparator corresponding to V_{ref2} and $1/8$ level for the reference voltage of the comparator corresponding to $1/4$ level V_{ref1} Set up respectively and when comparator output C_1 , C_2 and C_3 are "H" levels (i.e. when a sensor output is $1/8$ or less level of saturation) Generate a clock with the cycle of ϕ_{ICK}^{**} in drawing 10 and on a comparator output $C_1 = "L"$ level at the time of a $C_2 = C_3 = "H"$ level. Similarly with the cycle of ϕ_{ICK}^{**} on a comparator output $C_1 = C_2 = "L"$ level at the time of a $C_3 = "H"$ level. Similarly in the cycle of ϕ_{ICK}^{**} a clock is generated with the cycle of ϕ_{ICK}^{**} at the time of a comparator output $C_1 - C_3 = "L"$ level.

[0034]Thereby a saturation level to the level of $1/8$ of a sensor can change the input voltage range of 8 bit A / D range equivalent. Therefore by even a saturation level's using it when a photographic subject is bright and using the range of $1/8$

8when darkwhen brightit is easy to perform integral controland when darkshortening of reset time is measured.

[0035]Although the example shown in drawing 10 is a method to which the cycle of a clock is changed into and A/D range is changedthe same effect is acquired also by changing inclination of output voltage V_O of the variable voltage generation circuit 51. Drawing 11 is a timing chart for explanation of the example which changes inclination of output voltage V_O of the variable voltage generation circuit 51and changes A/D range. In ϕ_{clk} in drawing 10 - ϕ_{clk} in drawing 11** given to the timing chart of output voltage V_O - ** correspondrespectively. In ** of drawing 11 - **if inclination of ** is set to 1** is set to one half** is set to one fourth** has become one eighthand the voltage increment from initial voltage has become 1:1/2:1/4:1/8. Since clock ϕ_{clk} always serves as a constant period8 bitsi.e.a clock numberare 256. Variable output voltage V_O which changes while counting is 1:1/2:1/4:1/8.

It is equal to even the level of 1/the 8 having changed the input voltage range of 8 bit A / D range from the saturation level equivalent.

Thuseven if it changes inclination of the output voltage of a variable voltage generation circuitit is possible to change the holding voltage at the time of the end of integration of a pixel.

[0036]Nextthe example of circuitry for changing inclination of output voltage V_O of a variable voltage generation circuit is shown in drawing 12. This example of composition is a thing of composition of having added the current sources 3536and 37 and the switching elements 6162and 63 to the variable voltage generation circuit shown in drawing 8By the change of the switching elements 61-63the value of the current I shown in a figure is changedand inclination of output voltage V_O is changed. And the ratio of the current value of the current sources 333536and 37When [at which it is made into 1:1:2:4] the switching elements 6162and 63 are all set to OFF by thisIf it becomes inclination of 1** [of drawing 11]i.e./8 leveland the switching element 61 is set to 62 and ON and 63 are set to OFF** That isif inclination of 1/4 level and the switching elements 61

and 62 are set to ON and 63 are set to OFF inclination of $1/\sqrt{2}$ level and the inclination which is a saturation level when all the switching elements 61-63 are set to ON further again are realizable.

[0037] The circuit diagram at the time of realizing the current source and switching element of the example of circuitry shown in drawing 12 by a MOS transistor is shown in drawing 13. In drawing 13 the nMOS transistors 71-75 serve as a current source which took the composition of the current mirror and the current ratio by the nMOS transistors 72-75. it is set to 1:1:2:4 -- as -- the gate width of a nMOS transistor to gate length's ratio -- W/L is set to 1:1:2:4 in each nMOS transistors 72-75. Although current value I_0 of the nMOS transistor 71 is defined by the resistance 70 this may use a reference current source. The pair 76 of the switching transistor which either turns on 79; 77 80; 78 and 81 are connected to the nMOS transistors 73 74 and 75.

The current value which flows into the capacitive element 31 by these switching transistors is controlled.

By using the circuit constituted in this way inclination of variable output voltage V_o is changeable.

[0038] In each example described above although he wanted to explain nothing about the influence of dark current If this offset ingredient becomes large since a dark current component is contained in a quantized signal as an offset part when picturizing the dark photographic subject which cannot disregard dark current compared with photoelectric current the bit accuracy of the signal quantized will worsen. For example when photoelectric current and dark current are equivalent level even if it carries out an A/D conversion at 8 bits a signal component is obtained only the accuracy of 7 bits or less. If photoelectric current is one third of the levels of dark current only the accuracy of 6 bits or less will be obtained.

[0039] Then the example provided with a means to remove the influence of this dark current component next is shown in drawing 14. This example is what applied the dark current component elimination means to the example shown in drawing 3 and each amplified type photoelectric conversion pixel 10 is simplified

and shown. A different point from the example shown in drawing 3 the pulse which puts the counter 52 and the clock generation circuit 53 into operation in the example shown in drawing 3. Having used pulse ϕ_{IST} of the fluctuation start of the variable voltage generation circuit 51 in common in this example. When the light shielding picture element 90 is formed and output PS_D of the inverter 13 for threshold detection of this light shielding picture element 90 is reversed it is the point constituted so that the counter 52 and the clock generation circuit 53 might be started and pulse ϕ_{ID} might be sent out via 2 input NAND circuit 91 by which the inversion signal of pulse ϕ_{IST} was given to one input through the inverter 92. Other composition is the same as that of the example of drawing 3.

[0040] Drawing 15 is a timing chart for explaining operation of the method shown in drawing 14. The light shielding picture element output and the usual light-receiving pixel output into which light enters are shown in V_S and V_N . Start up of the clock generation circuit 53 and the counter 52 is not falling of pulse ϕ_{IST} and it has started in falling of newly added pulse ϕ_{ID} so that it may turn out that it compares with the timing chart shown in drawing 4. Falling of this pulse ϕ_{ID} is timing which the inverter output of a light shielding picture element cell reverses and the time width from falling of pulse ϕ_{IST} to falling of pulse ϕ_{ID} turns into time width corresponding to a dark current component. Therefore it is equal to removing the offset ingredient by the dark current included in the output of each pixel to delay start up of a part for this time the clock generation circuit 53 and the counter 52.

[0041] Thus the quantized signal which carried out the A/D conversion only of the lightwave signal ingredient in which a dark current component is not contained is acquired by providing a light shielding picture element and giving the quantized signal corresponding to time width until the output of the threshold detector circuit of each usual light-receiving pixel is reversed from the time which the output of the threshold detector circuit of a light shielding picture element reversed.

[0042] Although each above-mentioned example showed what used AMI as an amplified type photoelectric conversion pixel if it is an amplified type photoelectric

conversion pixel which can hold the output voltage at the time of the end of integrationthis invention is applicable also to the thing using the thing of what kind of form.

[0043]

[Effect of the Invention]As it explained based on the example aboveaccording to this inventionthe quantized signal which is proportional to light with the clock of periodic regularity is acquiredand the quantized signal of high S/N which fixes reset time of each pixel and does not have dark current component dispersion can be acquired.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a lineblock diagram showing the important section of the fundamental example of the signal conversion equipment of the optical sensor array concerning this invention.

[Drawing 2]It is a timing chart for explaining operation of the fundamental example shown in drawing 1.

[Drawing 3]It is a circuitry figure showing the concrete example of this invention.

[Drawing 4]It is a timing chart for explaining operation of the example shown in drawing 3.

[Drawing 5]It is a figure showing other examples of composition of a threshold detector circuit.

[Drawing 6]It is a figure showing the example of composition of further others of a threshold detector circuit.

[Drawing 7]It is a timing chart for explaining operation of the threshold detector circuit shown in drawing 6.

[Drawing 8]It is a figure showing the example of composition of a variable voltage generation circuit.

[Drawing 9] It is a figure showing the example of composition of the monitor means which detects the last holding voltage of an amplified type pixel.

[Drawing 10] It is a timing chart for explaining the adjustment device of A/D range.

[Drawing 11] It is a timing chart for explaining other adjustment devices of A/D range.

[Drawing 12] It is a figure showing the example of circuitry for changing inclination of the output voltage of a variable voltage generation circuit.

[Drawing 13] It is the circuitry figure which materialized the example of circuitry shown in drawing 12.

[Drawing 14] It is a circuitry figure showing the example which enabled it to remove a dark current component.

[Drawing 15] It is a timing chart for explaining operation of the example shown in drawing 14.

[Drawing 16] It is a figure showing the example of composition of the digital disposal circuit of the conventional optical sensor array.

[Drawing 17] It is a timing chart for explaining operation of the example of composition shown in drawing 16.

[Drawing 18] It is a figure showing change of the output voltage to the reset time of the pixel from which a luminosity differs.

[Description of Notations]

1 Photo-diode

2 Amplifier

3 Parasitic capacitance

4 The nMOS switching element for reset

5 The pMOS transistor for active loads

6 nMOS switching element

7 Hold capacity

8 pMOS transistors

10 Amplified type photoelectric conversion pixel

11 and 12 Capacitative element

13 The inverter for threshold detection

14 Switching element

15 Latch circuitry

16 NOR circuit

51 Variable voltage generation circuit

52 Counter

53 Clock generation circuit

(11)特許出願公開番号

(43)公開日 平成5年(1993)9月21日

技術表示箇所

N

- 1: フォトダイオード
- 2: 増幅素子
- 3: 寄生容量
- 4: リセット用nMOSスイッチング素子
- 6: nMOSスイッチング素子
- 10: 増幅型光電変換回路
- 11: 1.2: 容量素子
- 13: 閾値検出用インバータ
- 14: スwitchング素子
- 16: NOR回路
- 51: 可変電圧発生回路

【特許請求の範囲】

【請求項1】 入射した光に対応する電圧出力を発生し、積分終了時の電圧を保持する機能を有する増幅型光電変換画素と、該増幅型光電変換画素の出力電圧を判定するための閾値検出回路と、該閾値検出回路の入出力間に接続された第1のスイッチング素子と、増幅型固体撮像素子出力と閾値検出回路の入力との間に接続された第1の容量素子と、一端が閾値検出回路の入力に接続された第2の容量素子とで単位セルを構成し、該単位セルを複数個配置すると共に前記第2の容量素子の他端を、オフセット電圧を重畳するための出力電圧が可変可能な可変電圧発生回路の出力に共通に接続して光センサアレイを構成し、増幅型光電変換画素のリセット時に第1のスイッチング素子を導通状態とし且つ可変電圧発生回路の出力を第1の電圧としてリセット動作を行わせる手段と、リセット動作後可変電圧発生回路の出力を第1の電圧のまま増幅型光電変換画素のリセットを解除し且つ第1のスイッチング素子を非導通状態として積分を開始して被写体の明るさに応じて一定時間積分を行わせる手段と、積分終了時の電圧を各画素毎保持した状態で、可変電圧発生回路の出力を第1の電圧から連続的に増加又は減少させ、その時刻から閾値検出回路の出力が反転するまでの時間に対応する量子化信号を発生する手段とを備えていることを特徴とする光センサアレイの信号変換装置。

【請求項2】 前記閾値検出回路として、インバータ回路を用いたことを特徴とする請求項1記載の光センサアレイの信号変換装置。

【請求項3】 前記閾値検出回路として、正側入力基準電圧に接続された差動増幅器を用いたことを特徴とする請求項1記載の光センサアレイの信号変換装置。

【請求項4】 入射した光に対応する電圧出力を発生し、積分終了時の電圧を保持する機能を有する増幅型光電変換画素と、該画素の出力電圧を判定するための差動増幅器と、該差動増幅器の負側入力と出力間に接続された第1のスイッチング素子と、増幅型光電変換画素出力と差動増幅器の負側入力との間に接続された第1の容量素子とで単位セルを構成し、該単位セルを複数個配置すると共に前記差動増幅器の正側入力には出力電圧が可変可能な可変電圧発生回路の出力を共通に接続して光センサアレイを構成し、増幅型光電変換画素のリセット時に第1のスイッチング素子を導通状態とし且つ可変電圧発生回路の出力を第1の電圧としてリセット動作を行わせる手段と、リセット動作後可変電圧発生回路の出力を第1の電圧のまま増幅型光電変換画素のリセットを解除し且つ第1のスイッチング素子を非導通状態として積分を開始して被写体の明るさに応じて一定時間積分を行わせる手段と、積分終了時の電圧を各画素毎保持した状態で、可変電圧発生回路の出力を第1の電圧から連続的に増加又は減少させ、その時刻から差動増幅器の出力が反

転するまでの時間に対応する量子化信号を発生する手段とを備えていることを特徴とする光センサアレイの信号変換装置。

【請求項5】 前記可変電圧発生回路は、一端が基準電圧源に接続され他端が電流源に接続された容量素子と、該容量素子の両端を接続するスイッチング素子と、前記電流源と容量素子の間のノードに接続されたバッファとで構成され、第1の電圧を出力するときは前記スイッチング素子をオン状態とし、連続的に変化させるときは前記スイッチング素子をオフ状態とすることを特徴とする請求項1～4のいずれか1項に記載の光センサアレイの信号変換装置。

【請求項6】 前記量子化信号発生手段は、可変電圧発生回路の出力を変化させ始めた時刻から閾値検出回路の出力が反転するまでの時刻の間の基準クロックの数をカウントして、その基準クロックの数に対応した信号を出力するように構成されていることを特徴とする請求項1～5のいずれか1項に記載の光センサアレイの信号変換装置。

【請求項7】 前記光センサアレイの増幅型光電変換画素の積分終了時の出力を検出するモニター手段を設け、該モニター手段のモニターレベルが大きい、すなわち保持電圧が大きいときは、単位時間当たりの基準クロックの数を多くし、モニターレベルが小さい、すなわち保持電圧が小さいときは、単位時間当たりの基準クロックの数を少なくするように制御することを特徴とする請求項6記載の光センサアレイの信号変換装置。

【請求項8】 前記光センサアレイの増幅型光電変換画素の積分終了時の出力を検出するモニター手段を設け、該モニター手段のモニターレベルが大きい、すなわち保持電圧が大きいときは、前記可変電圧発生回路の出力電圧の変化率を大きくし、モニターレベルが小さい、すなわち保持電圧が小さいときは、前記可変電圧発生回路の出力電圧の変化率を小さくするように制御することを特徴とする請求項1～4のいずれか1項に記載の光センサアレイの信号変換装置。

【請求項9】 前記可変電圧発生回路は、一端が基準電圧源に接続され他端が直接又はスイッチング素子を介して複数の電流源に接続された容量素子と、該容量素子の両端を接続する第1のスイッチング素子と、前記電流源と容量素子の間のノードに接続されたバッファとで構成され、前記電流源に接続されたスイッチング素子を切り換えることにより出力電圧の変化率を変えるように構成したことを特徴とする請求項8記載の光センサアレイの信号変換装置。

【請求項10】 前記光センサアレイ上に、遮光出力を得るための遮光画素を少なくとも一つ設け、前記量子化信号発生回路は、前記遮光画素の閾値検出回路の出力が反転した時刻から各受光画素の閾値検出回路の出力が反転するまでの時間に対応する量子化信号を発生するように

構成されていることを特徴とする請求項1～4のいずれか1項に記載の光センサアレイの信号変換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、増幅型光電変換画素を有する複数の単位セルからなる光センサアレイにおいて、各画素に入射した光量に対応する信号をデジタル信号として出力するようにした光センサアレイの信号変換装置に関する。

【0002】

【従来の技術】従来、カメラのオートフォーカス（AF）等には一次元状のラインセンサが用いられているが、かかるラインセンサの信号出力をデジタルデータに変換して出力する信号処理回路が、特開昭58-179068号や特公昭64-6509号等において開示されている。これらの信号処理回路の基本原理は、フォトダイオードで発生した光電荷による電圧が、ある基準電圧に達した時に反転する閾値検出回路を各画素に設けることにより、光信号を該信号の大きさに対応するパルス幅の信号とした後、閾値電圧に達した時間に応じて量子化信号を出力するものである。

【0003】図16に、従来のラインセンサの信号処理回路を説明するための画素の基本構成を示し、図17にその動作説明用のタイミングチャートを示す。図16において、101はフォトダイオード、102はフォトダイオード101で発生した電荷を蓄積するための容量、103はその容量102に初期電位を与えるためのリセット用のnMOSトランジスタ、104は閾値を検出するためのインバータである。この画素の各部の電位の変化を示す図17において、(a)におけるRPはnMOSトランジスタ103のゲート電圧を、(b)におけるvは容量102の電圧、すなわち光電荷により変化する電圧を、(c)におけるPSはインバータ104の出力電圧を示している。

【0004】このような構成の画素において、光電積分開始時に、ゲート電圧RPを“H”レベルにすると、nMOSトランジスタ103はON状態となり、容量102はクランドレベルの初期電圧が与えられる。このときインバータ出力電圧PSは“H”レベルを示す。次にゲート電圧RPを“L”レベルにすることにより、フォトダイオード101に光が入射することによって発生した正孔が、容量102に蓄積され、容量102の電圧vは上昇する。このとき入射光量が大いとき、その傾きは大きく、入射光量が小さいとき傾きはなだらかなる。その後、容量102の電圧vがインバータ104の閾値電圧に達すると、インバータ出力電圧PSは“H”から“L”レベルに切り換わる。このとき入射光量が大いとき、閾値電圧に達するまでの時間は短く、逆に入射光量が小さいとき、時間は長くなるため、インバータ出力電圧PSのパルス幅Wは、明るいとき短く、暗いとき長くなる。このインバータ出力パルスが“H”から“L”レベルに切り換わる

までの時間を、クロックを用いてカウントすることにより、そのパルス幅に応じた量子化信号を得ることができる。

【0005】図16における蓄積容量102の容量値 C_t 、光電流を I_p としたとき、インバータ104の閾値電圧 V_{TH} に達するまでの積分時間 t_W を求めると次式(1)のようになる。

$$t_W = V_{TH} \cdot C_t / I_p \cdots \cdots (1)$$

【0006】したがって周期一定のクロックでカウントした場合は、そのカウント値の逆数をとらないと、明るさに比例した値とならない。そこで、カウントするクロックの周期を時間と共に変化させるといふ手段がとられる。

【0007】次にこの手段について説明する。図18に明るさの異なる4つの画素①、②、③、④の積分時間に対する出力電圧vの変化を示す。画素①はセンサアレイ中一番明るい画素、すなわち一番積分時間 t_W の短い画素とする。それに対して、その明るさの $1/2$ 、 $1/4$ 、 $1/8$ の画素を②、③、④として示している。この画素に明るさに比例した量子化値、例えば画素①に256、画素②に128、画素③に64、画素④に32を与えるためには、次のようにすればよい。

【0008】まずカウンタの値としては、画素①のインバータ出力が反転した時点でカウンタに256を与え、その後クロックの数に応じてカウンタの値を下げていけばよい。そのとき、周期一定のクロックでは、明るさに比例したデータとはならないので、図に示すように、各画素①、②、③、④の各出力電圧が閾値 V_{TH} に達するまでの時間を t_1 、 t_2 、 t_3 、 t_4 としたとき、 t_1 から t_2 の間は128個のクロックが出力され、 t_2 から t_3 の間は64個のクロックが出力され、 t_3 から t_4 の間には32個のクロックが出力されるように、時間経過と共にクロックの周期を長くすることで、画素①には256、画素②には128、画素③には64、画素④には32のデータが与えられる。このクロックの周期は、画素①の出力電圧が閾値電圧 V_{TH} を越えインバータ出力が反転するまでに要した時間に対応して決定される。

【0009】

【発明が解決しようとする課題】ところで、上記画素出力を量子化するA/D変換方式には、次のような2つの問題点がある。第1点は、光に比例した量子化信号を与えるにはカウンタに入力するクロックの周期を時間の経過に対応して長くしなければならないため、クロックを発生する回路が複雑となり、回路規模が増大することである。第2点は、上記A/D変換方式では、画素により積分時間が異なるため、各量子化信号に含まれる暗電流成分が異なり、各画素の暗電流が一致していても、量子化された信号中の暗電流成分にはばらつきが生じ、結果的に量子化された信号のS/Nが劣化することである。

【0010】本発明は、従来の光センサアレイの信号変

換装置における上記問題点を解消するためになされたもので、周期一定のクロックで光に比例した量子化信号が得られると共に、各画素の積分時間を一定にして暗電流成分ばらつきのない高い S/N の量子化信号が得られるようにした光センサアレイの信号変換装置を提供することを目的とする。

【0011】

【課題を解決するための手段及び作用】上記問題点を解決するため、本発明は、入射した光に対応する電圧出力を発生し、積分終了時の電圧を保持する機能を有する増幅型光電変換画素と、該増幅型光電変換画素の出力電圧を判定するための閾値検出回路と、該閾値検出回路の入出力間に接続された第1のスイッチング素子と、増幅型固体撮像素子出力と閾値検出回路の入力との間に接続された第1の容量素子と、一端が閾値検出回路の入力に接続された第2の容量素子とで単位セルを構成し、該単位セルを複数個配置すると共に前記第2の容量素子の他端を、オフセット電圧を重畳するための出力電圧が可変可能な可変電圧発生回路の出力に共通に接続して光センサアレイを構成し、増幅型光電変換画素のリセット時に第1のスイッチング素子を導通状態とし且つ可変電圧発生回路の出力を第1の電圧としてリセット動作を行わせる手段と、リセット動作後可変電圧発生回路の出力を第1の電圧のまま増幅型光電変換画素のリセットを解除し且つ第1のスイッチング素子を非導通状態として積分を開始して被写体の明るさに応じて一定時間積分を行わせる手段と、積分終了時の電圧を各画素毎保持した状態で、可変電圧発生回路の出力を第1の電圧から連続的に増加又は減少させ、その時刻から閾値検出回路の出力が反転するまでの時間に対応する量子化信号を発生する手段とを設けて、光センサアレイの信号変換装置を構成するものである。

【0012】このように構成した信号変換装置においては、増幅型光電変換画素のリセット時に、第1のスイッチング素子を導通状態とし且つ可変電圧発生回路の出力を第1の電圧としてリセット動作を行い、その後可変電圧発生回路の出力を第1の電圧のまま画素のリセットを解除し且つ第1のスイッチング素子を非導通状態として積分を開始して、被写体の明るさに応じて一定時間積分を行った後、積分終了時の電圧を各画素毎保持した状態で、可変電圧発生回路の出力を第1の電圧から連続的に増加又は減少させ、その時刻から閾値検出回路の出力が反転するまでの時間に対応する量子化信号を発生する。これにより、各画素の積分時間は一致すると共に、各画素の可変電圧発生回路の出力を第1の電圧から連続的に増加又は減少させ、その時刻から閾値検出回路の出力が反転するまでの時間は、積分終了時の保持された電圧に比例するため、周期一定のクロックでカウントし量子化したとき、その量子化値は光量に比例した値となる。

$$V_S = V_R + I_p \cdot t_{int} / C_t$$

【0013】

【実施例】次に実施例について説明する。図1は、本発明に係る光センサアレイの信号変換装置の基本的実施例の主要部の構成を示す回路構成図である。図において、10は積分終了時の電圧を保持する増幅型光電変換画素の構成例を示し、1はフォトダイオード、3は蓄積容量の1つでフォトダイオードの寄生容量、4はリセット動作を行うためのリセットパルス ϕ_R で駆動されるnMOSスイッチング素子、6は積分終了時の電圧を保持するためのサンプルホールドパルス ϕ_{SH} で駆動されるnMOSスイッチング素子、7はホールド容量、2は増幅素子である。そして増幅型光電変換画素10の出力は容量素子11を直列に介し、閾値検出回路として動作するインバータ13の入力に接続される。このインバータ13の入出力間には、リセットパルス ϕ_R で駆動されるスイッチング素子14が接続されている。またこのインバータ13の入力には、可変電圧発生回路51の出力が容量素子12を介して接続されている。インバータ13の出力は、2入力NOR回路16の一方の入力に接続され、NOR回路16の他方の入力にはサンプルホールドパルス ϕ_{SH} が接続されている。

【0014】次に図1に示した基本的な実施例の各ノードにおける電圧 V_S 、 V_0 、 V_N 、 $PS1$ 、 $PS2$ の変化を示す図2に基づいて動作説明を行う。全体の動作は、リセット動作（期間 T_0 ）、積分動作（期間 T_1 ）、A/D変換動作（期間 T_2 ）の3動作に分けられる。リセット動作時はリセットパルス $\phi_R = "H"$ レベル、及びサンプルホールドパルス $\phi_{SH} = "H"$ レベルで行う。このときの画素出力 V_S はフォトダイオード1のリセット電圧 V_R' に対応した電圧となり、その電圧を V_R とする。また可変電圧発生回路51の出力 V_0 の電圧を V_1 とする。またインバータ13の閾値電圧を V_{TH} とすると、入出力間をスイッチング素子14で接続したとき、その入出力電圧は V_{TH} となる。したがってリセット動作期間 T_0 の各ノードの電圧は次式(1)のようになる。

$$\begin{aligned} V_S &= V_R \\ V_0 &= V_1 \\ V_N &= V_{TH} \quad \dots\dots (1) \end{aligned}$$

【0015】積分動作期間 T_1 では、リセットパルス ϕ_R は $"H"$ から $"L"$ レベルとなり、積分動作が行われる。フォトダイオード寄生容量3の容量値 C_d 、サンプルホールド容量7の容量値を C_{SH} として、 $C_t = C_d + C_{SH}$ とする。増幅素子2の電圧増幅率を1とすると、画素出力 V_S は、 $I_p \cdot t_{int} / C_t$ で上昇する。ここで I_p は光電流、 t_{int} は積分時間である。また容量素子11の容量値を C_1 、容量素子12の容量値を C_2 とすると、積分動作期間 T_1 における各ノード電圧は次式(2)となる。

$$\begin{aligned}
 V_0 &= V_1 \\
 V_N &= V_{TH} + \{C_1 / (C_1 + C_2)\} \cdot \{I_P \cdot t_{int} / C_t\} \\
 &\dots (2)
 \end{aligned}$$

【0016】一定時間積分した後、 ϕ_{SH} を“H”から“L”レベルとし積分を終了する。これにより画素出力電圧 V_S は、 ϕ_{SH} が“H”から“L”レベルに変わった時点の電圧に保持される。

【0017】その後、A/D変換動作期間 T_2 に入る。このA/D変換動作は、図2に示すように、それまで一定電圧だった可変電圧発生回路51の電圧 V_0 を、時間に対して直線的に小さくしていき、インバータ13の出力が

$$\begin{aligned}
 V_S &= V_R + I_P \cdot t_{int} / C_t \\
 V_0 &= V_1 - k_V \cdot t \\
 V_N &= V_{TH} + \{C_1 / (C_1 + C_2)\} \cdot \{I_P \cdot t_{int} / C_t\} \\
 &\quad - \{C_2 / (C_1 + C_2)\} \cdot k_V \cdot t \\
 &\dots (3)
 \end{aligned}$$

【0018】この式(3)より、可変電圧発生回路51の電圧減少開始時刻からインバータ出力反転までの時刻 t

$$\begin{aligned}
 &\{C_1 / (C_1 + C_2)\} \cdot \{I_P \cdot t_{int} / C_t\} \\
 &\quad - \{C_2 / (C_1 + C_2)\} \cdot k_V \cdot t_W = 0 \\
 &\dots (4)'
 \end{aligned}$$

すなわち、

$$t_W = \{C_1 / (C_2 \cdot k_V)\} \cdot \{I_P \cdot t_{int} / C_t\} \dots (4)$$

【0019】上記(4)式からわかるように、 t_{int} 、 C_t 、 k_V 、 C_1 、 C_2 は全画素同一であるから、 t_W は I_P に比例、すなわち t_W は明るさに比例する。したがって、このパルス幅 t_W をもつパルス出力 PS_2 を、周期一定のクロックでパルス幅を検出することにより得られる量子化値は、明るさに比例した値となる。

【0020】次に、A/D変換を行う回路を含む具体的な実施例を図3に基づいて説明する。この実施例は増幅型光電変換画素10として、サンプルホールド機能を有するソース接地型AMI (Amplified MOS Imager) を用いたもので、この画素10は、フォトダイオード1と、増幅用のnMOSTランジスタ2を備えており、このnMOSTランジスタ2はソースを接地し、ゲートには前記フォトダイオード1の一端が接続され、ドレインには能動負荷として動作するpMOSTランジスタ5が接続され、ソース接地型増幅回路となっている。そして前記増幅用nMOSTランジスタ2のゲート・ドレイン間に帰還容量3とリセット用nMOSTランジスタ4を接続しており、この回路はフォトダイオード1で発生した電荷を帰還容量3に蓄積し、その電荷をドレイン電圧の変化として出力するものである。このAMIの基本構成に、増幅用nMOSTランジスタ2のドレイン電圧をサンプルホールドするnMOSスイッチング素子6及びホールド容量と、バッファとして動作するソースフォロア形式のpMOSTランジスタ8と能動負荷として働くpMOSTランジスタ9が付加されて、単位画素を構成している。

反転するまでの時間幅のパルスを得て、そのパルス幅に対して量子化を行い量子化値を得るものである。ここでは、 ϕ_{SH} が“H”から“L”レベルとなると、同時刻に可変電圧を減少させ始めている。可変電圧発生回路51の電圧減少率を $-k_V$ (V/sec) とし、電圧を減少した時刻から経過した時間を t とすると、各ノードの電圧は次式(3)となる。

W を求める。インバータ13の出力が反転する電圧は、 $V_N = V_{TH}$ であるから、

$$\begin{aligned}
 &\{C_1 / (C_1 + C_2)\} \cdot \{I_P \cdot t_{int} / C_t\} \\
 &\quad - \{C_2 / (C_1 + C_2)\} \cdot k_V \cdot t_W = 0 \\
 &\dots (4)'
 \end{aligned}$$

【0021】このサンプルホールド機能を有する増幅型光電変換画素10に対して、入出力間にスイッチング素子14を接続した閾値検出回路として動作するインバータ13を設け、その入力と増幅型光電変換画素10の出力の間に直列に容量素子11を接続している。またこのインバータ13の入力には、容量素子12を介して可変電圧発生回路51の出力が、増幅型光電変換画素10の出力と並列に印加されている。そして、このインバータ13の出力を受け、インバータ13の出力反転時に、カウンタ52のデータをラッチするラッチ回路15が設けられている。前記カウンタ52はクロック発生回路53から発生したクロック ϕ_{CK} をカウントするようになっている。そして前記画素10、容量素子11、12、閾値検出用インバータ13、スイッチング素子14及びラッチ回路15は、画素数分設けられ、可変電圧発生回路51の出力及びカウンタ52の出力は、各画素に対して共通に接続されるようになっている。

【0022】次に、このように構成された実施例の動作を、図4のタイミングチャートに基づいて説明する。この実施例の動作も、図1に示した基本的な実施例と全く同様に、リセット動作期間 T_0 、積分動作期間 T_1 、A/D変換動作期間 T_2 に分けられる。そしてA/D変換動作において、図1に示した実施例では、サンプルホールドパルス ϕ_{SH} が“H”から“L”レベルとなった時点からA/D変換動作を行うようになっているのに対し、本実施例では、A/D変換開始タイミングを定めるパルス ϕ_{ST} を設け、パルス ϕ_{ST} が“H”から“L”レベルとなった時点からA/D変換動作が開始されるようになっ

ており、このA/D変換動作以外のリセット動作期間 T_0 及び積分動作期間 T_1 におけるアナログ信号系の動作は、図2に示した動作と全く同じである。

【0023】したがって、ここではデジタル信号に変換するA/D変換動作について説明する。リセット動作期間 T_0 及び積分動作期間 T_1 は、デジタル信号系の動作はパルス ϕ_{ST} の“H”レベルにより待機中となっており、カウンタ52の出力は初期値が保持されている。A/D変換動作期間 T_2 において、パルス ϕ_{ST} が“H”から“L”レベルになると、可変電圧発生回路51の出力電圧 V_0 が低下を開始すると同時に、デジタル信号系の動作が始まり、周期一定のクロック ϕ_{CK} が動作し、そのクロック ϕ_{CK} の立ち上がりをカウンタ52がカウントして、カウンタ出力が増加していく。ここで $V_N = V_{TH}$ となった時刻で、インバータ13の出力は“L”から“H”レベルとなり、このタイミングでのカウンタ52の出力データをラッチ回路15に取り込み、このラッチ回路15のデータが量子化データとなる。以上の動作は、図2で示したPS2の出力パルス幅 t_W を量子化したのと等価であり、このようにして得られたデータは、明るさに比例したデータとなる。

【0024】上記図1及び図3に示した実施例では、閾値検出回路としてインバータを用いたものを示したが、閾値検出回路はインバータでなくても、オペアンプのようなゲインの大きい差動増幅器を用いてもよい。図5にオペアンプ21を閾値検出回路として用いた構成例を示す。この閾値検出回路以外の部分は図3に示したものと全く同様のものを用いることができる。図5に示すように、オペアンプ21は+側入力を基準電圧源 V_{ref} に接続し、-側入力と出力の間にスイッチング素子14を設ける。このような構成とすることにより、スイッチング素子14をONしたときは、電圧フォロワとして動作し、出力電圧は $V_{ref} + V_{OFF}$ となる。ここで V_{OFF} はオフセット電圧である。またスイッチング素子14をOFFしたときは、 $V_{ref} + V_{OFF}$ を閾値としてコンパレータ動作となる。したがって、リセット時の出力電圧と閾値電圧は、オフセット電圧 V_{OFF} が存在しても等しいため、インバータと同様な動作が行われる。

【0025】次に、図5に示した構成の閾値検出回路を更に簡素化した構成例を図6に示す。この構成例は、図5に示した構成例から容量素子12と基準電圧源 V_{ref} を削除し、可変電圧発生回路51の出力電圧 V_0 をオペアンプ21の+側入力に直接接続した構成としている。この構成の場合、A/D変換動作期間には、可変電圧発生回路51の出力電圧 V_0 は、図2及び図4のタイミングチャートに示したのとは異なり、時間と共に増加しなければならない。図2に対応したタイミングチャートを図7に示す。図2に示したタイミングチャートと異なる点は、A/D変換動作期間(T_2)中は、可変出力電圧 V_0 の傾きが正側であることと、電圧 V_N が画素出力電圧 V_S に

伴った動きをしており、A/D変換動作期間中は、電圧 V_N は一定電圧であるが、閾値電圧 V_{TH} が可変出力電圧 V_0 に伴って上昇するため、この閾値電圧 V_{TH} が V_N となったときにインバータ出力が反転する点で、出力PSは図2の出力PS1又は図4の出力PSと同等の出力となる。

【0026】なお図7において、リセット動作期間 T_0 において出力PSが不定となっているが、これは可変出力電圧 V_0 の初期電圧とオペアンプ21のオフセット電圧 V_{OFF} によって定まり、可変出力電圧 V_0 の初期電圧を V_1 としオペアンプ21のオフセット電圧を V_{OFF} とすると、 $V_1 + V_{OFF}$ がオペアンプ21の次段のインバータの閾値電圧より低い場合は“L”レベル、高い場合は“H”レベルとなる。以上説明したように、閾値検出回路を図6に示すように構成し、図7に示すような印加電圧を与えることにより、図1及び図3に示した実施例と同様な動作が可能である。

【0027】次に、上記各実施例で用いる可変電圧発生回路の構成例を図8に基づいて説明する。図8において、30は初期電圧 V_1 を与える電源、31は容量素子、32はスイッチング素子として用いるnMOSトランジスタ、33は電流源、34はバッファとして用いるオペアンプである。nMOSトランジスタ32のON抵抗が十分小さく、オペアンプ34のオフセット電圧が十分に小さいとすると、 $\phi_{ST}(\phi_{SH}) = \text{“H”}$ レベルのときは、可変出力電圧 V_0 として電圧 V_1 が出力される。図2、4、7において、リセット動作期間 T_0 及び積分動作期間 T_1 は、この状態である。 $\phi_{ST}(\phi_{SH})$ が“H”から“L”レベルになった時点から、オペアンプ34の+側入力電圧は、一定の傾きで減少し始める。この傾きは電流源33の電流値と容量値31により、任意に設定できる。また傾きを負の方向ではなく正の方向にするには、電流源33の電流の向きを反対にすればよい。図2、4、7において、A/D変換動作期間 T_2 が、この状態に対応する。このように図8に示す構成を用いることにより、時間に対して傾きが一定で変化する可変電圧発生回路を実現できる。

【0028】上記各実施例においては、積分動作期間(T_1)終了時の各信号保持レベルについて説明を行わなかったが、クロック周波数が一定で、可変出力電圧 V_0 の傾きが一定ならば、積分終了時の増幅型光電変換素子の信号保持レベルが一定となるように積分時間を調整しなければならない。

【0029】しかしながら、被写体が明るい場合は、信号レベルを大きくした方が積分時間の制御が行い易く、被写体の暗い場合は、信号レベルを小さくした方が積分時間が短くてすむため、システムのスピードアップが計られるという相反する要求がある。

【0030】そこで、信号保持レベルが異なっても、ラッチ回路が8ビットなら8ビット精度の量子化値が与え

られるように、信号保持レベルに合わせて、A/D変換のレンジを調整する手段について説明する。これを実現するためには、増幅型画素の最終保持電圧を検出するモニター手段と、その検出レベルに応じて、A/Dレンジを調整する調整手段が必要となる。次にモニター手段の実施例を1つ、A/Dレンジの調整手段の実施例を2つ説明する。

【0031】まずモニター手段の実施例を図9に示す。図9において、10は増幅型画素を簡略化して示したもので、実際には、図1又は図3に示した増幅型画素と同様の構成をもつものである。また容量素子11、12、閾値検出用インバータ13及びスイッチング素子14は前述の実施例と同様の構成のものであり、これらは複数個配列されアレイ状に構成されている。モニター手段としては、各増幅型画素10の出力に、ソースフォロアとして動作するnMOSトランジスタ40のゲートをそれぞれ接続し、そのドレインは電源に、ソースは全画素共通にして、その共通に接続されたソースライン49には負荷として動作するデプレッション型のnMOSトランジスタ41が接続され、このソースライン49には増幅型画素10の最大出力に対応する電圧が現れるようになっている。また、このソースライン49は、ソースライン電圧を検出するコンパレータ群42、43、44の一方の入力に接続されている。このコンパレータ群の他方の入力、それぞれ異なる基準電圧源 V_{ref1} 、 V_{ref2} 、 V_{ref3} に接続されており、このコンパレータ群の出力により、ソースライン49の電圧がどの範囲に入っているかが判定される。このコンパレータ群42、43、44の出力情報 C_1 、 C_2 、 C_3 をA/D制御回路45で受け、クロック発生回路53又は可変電圧発生回路51の制御信号 ϕ_{CT1} 、 ϕ_{CT2} を出力する。

【0032】このような構成のモニター手段により、積分動作終了時の画素アレイにおける出力の最大値を検出することができ、そのレベルに応じてクロック発生回路53又は可変電圧発生回路51の制御が可能である。上記実施例では、コンパレータを3個用い、電圧範囲としては、 V_{ref1} 以下、 $V_{ref1} \sim V_{ref2}$ の間、 $V_{ref2} \sim V_{ref3}$ の間、 V_{ref3} 以上の4つの範囲の検出を行うようにしたものを示したが、コンパレータの数を増加することにより、更に細かく電圧範囲を分けることが可能である。

【0033】次にモニター手段によりA/Dレンジを調整する調整手段の実施例について説明する。その第1の手段は、クロックの周期により制御する方式である。図10に、8ビットのラッチ回路に、それぞれのレベルに応じてクロック周期を変化させ、A/Dレンジを切り換える制御態様を表すタイミングチャートを示す。図10は図9に示したモニター手段におけるコンパレータの判定により、4つの範囲に分けられたそれぞれに対応したクロック周期を示すものである。通常、4つの電圧範囲に分ける場合、最大はセンサの飽和レベルとし、飽和レベルに対して順に $1/2$ 、 $1/4$ 、 $1/8$ と分けるのが効率

がよい。この $1/2$ レベルに対応するコンパレータの基準電圧を V_{ref3} 、 $1/4$ レベルに対応するコンパレータの基準電圧を V_{ref2} 、 $1/8$ レベルに対応するコンパレータの基準電圧を V_{ref1} と、それぞれ設定し、コンパレータ出力 C_1 、 C_2 、 C_3 が、“H”レベルのとき、すなわち、センサ出力が飽和の $1/8$ レベル以下のときは、図10中の $\phi_{CK①}$ の周期でクロックを発生させ、コンパレータ出力 $C_1 = “L”$ レベルで $C_2 = C_3 = “H”$ レベルのときは、 $\phi_{CK②}$ の周期で、同じくコンパレータ出力 $C_1 = C_2 = “L”$ レベルで $C_3 = “H”$ レベルのときは、 $\phi_{CK③}$ の周期で、同じくコンパレータ出力 $C_1 \sim C_3 = “L”$ レベルのときは、 $\phi_{CK④}$ の周期でクロックを発生させる。

【0034】これにより、等価的に8ビットA/Dレンジの入力電圧範囲をセンサの飽和レベルから、その $1/8$ のレベルまで変えることができる。したがって被写体が明るいときは飽和レベルまで使用し、暗いときはその $1/8$ のレンジを使用することによって、明るいときは積分制御が行い易く、暗いときは積分時間の短縮が計られる。

【0035】図10に示した実施例は、クロックの周期を変えてA/Dレンジを変化させる方式であるが、可変電圧発生回路51の出力電圧 V_0 の傾きを変えることによっても、同様な効果が得られる。図11は可変電圧発生回路51の出力電圧 V_0 の傾きを変えてA/Dレンジを変える実施例の説明のためのタイミングチャートである。図11において、出力電圧 V_0 のタイミングチャートに付した①～④は、図10における $\phi_{CK①} \sim \phi_{CK④}$ の場合にそれぞれ対応する。図11の①～④において、④の傾きを1とすると、③は $1/2$ 、②は $1/4$ 、①は $1/8$ となっており、初期電圧からの電圧増加分は、 $1 : 1/2 : 1/4 : 1/8$ となっている。またクロック ϕ_{CK} は常に一定周期となっているため、8ビットすなわちクロック数が256カウントする間に変化する可変出力電圧 V_0 は、 $1 : 1/2 : 1/4 : 1/8$ となっており、等価的に8ビットA/Dレンジの入力電圧範囲を飽和レベルからその $1/8$ のレベルまで変化させたのに等しい。このように可変電圧発生回路の出力電圧の傾きを変えても、画素の積分終了時の保持電圧を変化させることが可能である。

【0036】次に可変電圧発生回路の出力電圧 V_0 の傾きを変えるための回路構成例を図12に示す。この構成例は、図8に示した可変電圧発生回路に、電流源35、36、37と、スイッチング素子61、62、63を追加した構成のもので、スイッチング素子61～63の切り換えにより、図に示す電流 I の値を変え、出力電圧 V_0 の傾きを変えるようにしたものである。そして、電流源33、35、36、37の電流値の比は、 $1 : 1 : 2 : 4$ としておく、これによりスイッチング素子61、62、63を全部OFFとしたときは、図11の①すなわち $1/8$ レベルの傾きとなり、スイ

ッチング素子61をON、62、63をOFFとすると、②すなわち1/4レベルの傾き、またスイッチング素子61、62をON、63をOFFとすると、③すなわち1/2レベルの傾き、更にまたスイッチング素子61~63の全てをONとすると、④すなわち飽和レベルの傾きが実現できる。

【0037】図12に示した回路構成例の、電流源及びスイッチング素子をMOSトランジスタで実現した場合の回路図を図13に示す。図13において、nMOSトランジスタ71~75はカレントミラーの構成をとった電流源となっており、その電流比はnMOSトランジスタ72~75により、1:1:2:4になるように、nMOSトランジスタのゲート幅とゲート長の比 W/L を、各nMOSトランジスタ72~75において1:1:2:4とする。またnMOSトランジスタ71の電流値 I_0 は、抵抗70によって定めているが、これは基準電流源を用いてもよい。nMOSトランジスタ73、74、75には、どちらか一方がONするスイッチングトランジスタのペア76、79;77、80;78、81が接続されており、これらのスイッチングトランジスタにより容量素子31に流れる電流値を制御する。このように構成された回路を用いることにより、可変出力電圧 V_0 の傾きを変えることができる。

【0038】以上述べた各実施例においては、暗電流の影響については何も説明しなかったが、光電流に比べ暗電流が無視できない暗い被写体を撮像する場合、暗電流成分がオフセット分として量子化信号中に含まれるため、このオフセット成分が大きくなると、量子化される信号のビット精度が悪くなる。例えば、光電流と暗電流が同等レベルの場合、8ビットでA/D変換しても、信号成分は7ビット以下の精度しか得られない。更に光電流が暗電流の1/3のレベルだと、6ビット以下の精度しか得られない。

【0039】そこで、次にこの暗電流成分の影響を除去する手段を備えた実施例を図14に示す。この実施例は図3に示した実施例に暗電流成分除去手段を適用したもので、各増幅型光電変換画素10は簡略化して示している。図3に示した実施例と異なる点は、カウンタ52及びクロック発生回路53を始動するパルス ϕ_{ST} と共通にしていたのを、本実施例では、遮光画素90を設け、該遮光画素90の閾値検出用のインバータ13の出力 P_{SD} が反転した時点で、一方の入力にインバータ92を通してパルス ϕ_{ST} の反転信号が与えられた2入力NAND回路91を介して、カウンタ52とクロック発生回路53を始動させパルス ϕ_D を送出するように構成した点である。その他の構成は図3の実施例と同様である。

【0040】図15は、図14に示した方式の動作を説明するためのタイミングチャートである。 V_S 、 V_N には遮光画素出力と、光が入射される通常の受光画素出力とを示している。図4に示したタイミングチャートと比較す

るとわかるように、クロック発生回路53及びカウンタ52の始動がパルス ϕ_{ST} の立ち下がりではなく、新たに追加されたパルス ϕ_D の立ち下がりによって始動している。このパルス ϕ_D の立ち下がりには遮光画素セルのインバータ出力が反転するタイミングであり、パルス ϕ_{ST} の立ち下がりからパルス ϕ_D の立ち下がりまでの時間幅が暗電流成分に対応する時間幅となる。したがって、この時間分、クロック発生回路53及びカウンタ52の始動を遅らせることは、各画素の出力に含まれる暗電流によるオフセット成分を除去することに等しい。

【0041】このように遮光画素を設け、遮光画素の閾値検出回路の出力が反転した時刻から通常の各受光画素の閾値検出回路の出力が反転するまでの時間幅に対応した量子化信号を与えることにより、暗電流成分の含まれない光信号成分のみをA/D変換した量子化信号が得られる。

【0042】なお、上記各実施例では増幅型光電変換画素としてAMIを用いたものを示したが、積分終了時の出力電圧を保持できる増幅型光電変換画素ならば、どのような形式のものをを用いたものに対しても、本発明を適用することができる。

【0043】

【発明の効果】以上実施例に基づいて説明したように、本発明によれば、周期一定のクロックで光に比例した量子化信号が得られると共に、各画素の積分時間を一定にして暗電流成分ばらつきのない高いS/Nの量子化信号を得ることができる。

【図面の簡単な説明】

【図1】本発明に係る光センサアレイの信号変換装置の基本的な実施例の要部を示す構成図である。

【図2】図1に示した基本的な実施例の動作を説明するためのタイミングチャートである。

【図3】本発明の具体的な実施例を示す回路構成図である。

【図4】図3に示した実施例の動作を説明するためのタイミングチャートである。

【図5】閾値検出回路の他の構成例を示す図である。

【図6】閾値検出回路の更に他の構成例を示す図である。

【図7】図6に示した閾値検出回路の動作を説明するためのタイミングチャートである。

【図8】可変電圧発生回路の構成例を示す図である。

【図9】増幅型画素の最終保持電圧を検出するモニター手段の構成例を示す図である。

【図10】A/Dレンジの調整手段を説明するためのタイミングチャートである。

【図11】A/Dレンジの他の調整手段を説明するためのタイミングチャートである。

【図12】可変電圧発生回路の出力電圧の傾きを変えるための回路構成例を示す図である。

【図13】図12に示した回路構成例を具体化した回路構成図である。

【図14】暗電流成分を除去できるようにした実施例を示す回路構成図である。

【図15】図14に示した実施例の動作を説明するためのタイミングチャートである。

【図16】従来の光センサレイの信号処理回路の構成例を示す図である。

【図17】図16に示した構成例の動作を説明するためのタイミングチャートである。

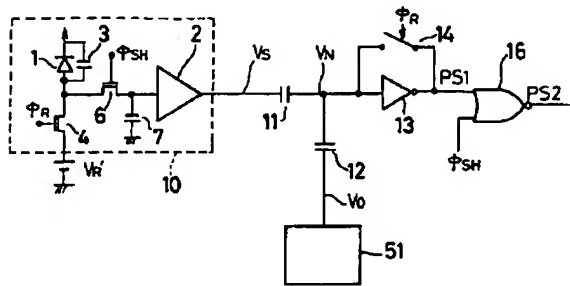
【図18】明るさの異なる画素の積分時間に対する出力電圧の変化を示す図である。

【符号の説明】

- 1 フォトダイオード
2 増幅素子

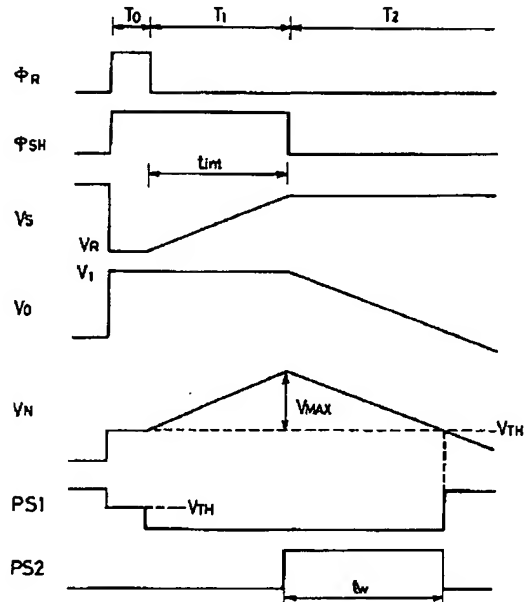
- 3 寄生容量
4 リセット用nMOSスイッチング素子
5 能動負荷用pMOSトランジスタ
6 nMOSスイッチング素子
7 ホールド容量
8, 9 pMOSトランジスタ
10 増幅型光電変換画素
11, 12 容量素子
13 閾値検出用インバータ
14 スwitchング素子
15 ラッチ回路
16 NOR回路
51 可変電圧発生回路
52 カウンタ
53 クロック発生回路

【図1】

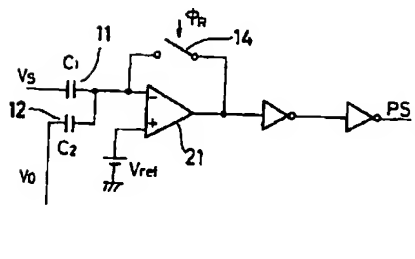


- 1: フォトダイオード
2: 増幅素子
3: 寄生容量
4: リセット用nMOSスイッチング素子
5: 能動負荷用pMOSトランジスタ
6: nMOSスイッチング素子
10: 増幅型光電変換画素
11, 12: 容量素子
13: 閾値検出用インバータ
14: スwitchング素子
16: NOR回路
51: 可変電圧発生回路

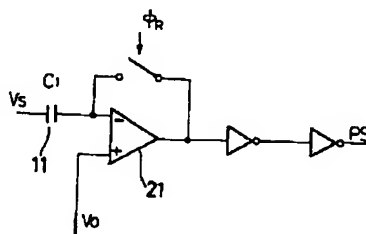
【図2】



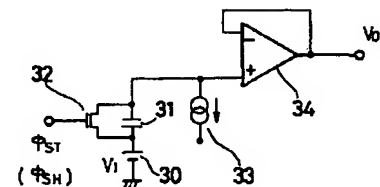
【図5】



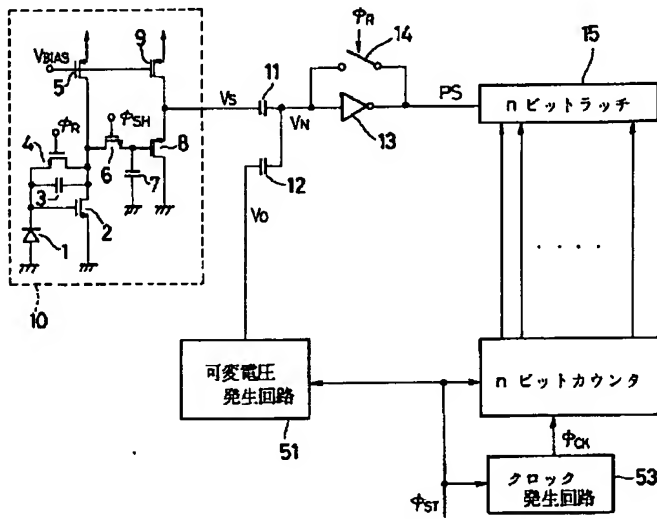
【図6】



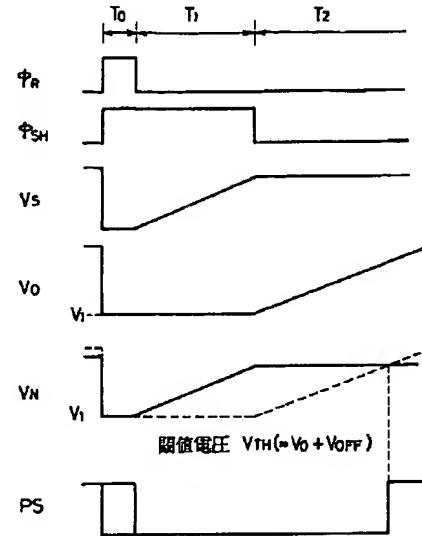
【図8】



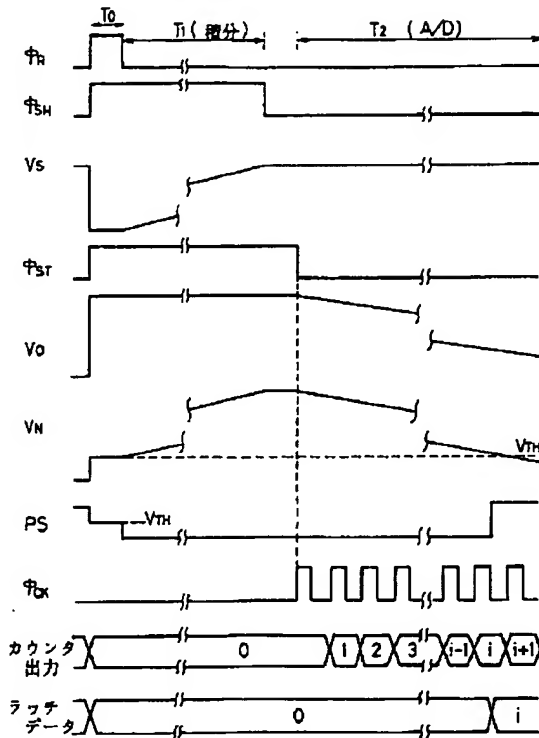
【図3】



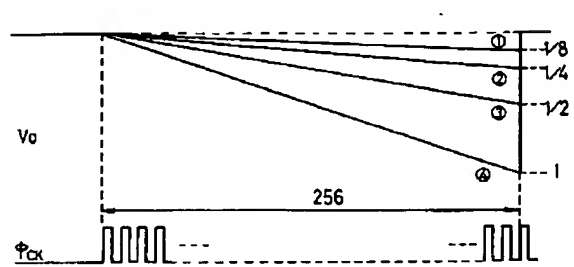
【図7】



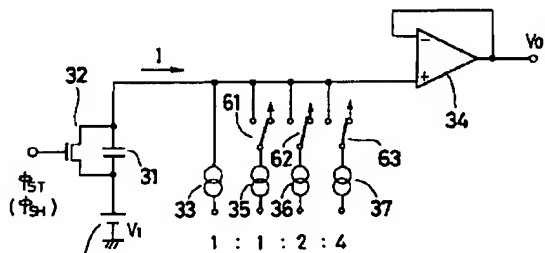
【図4】



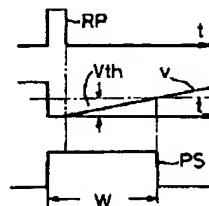
【図11】



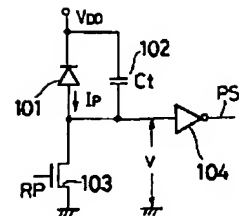
【図12】



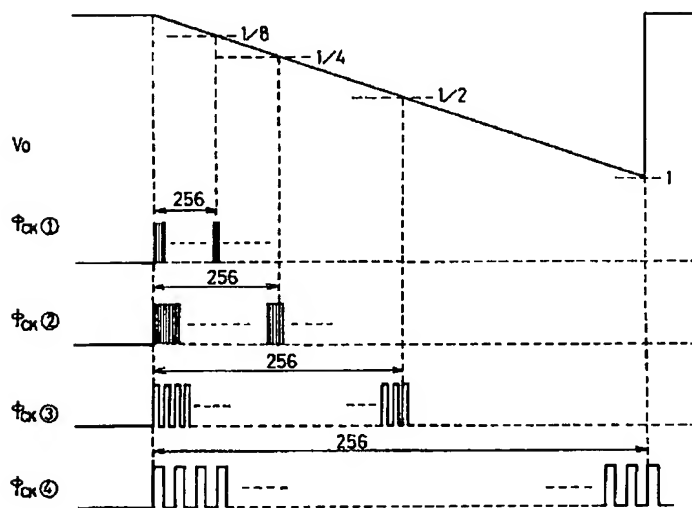
【図17】



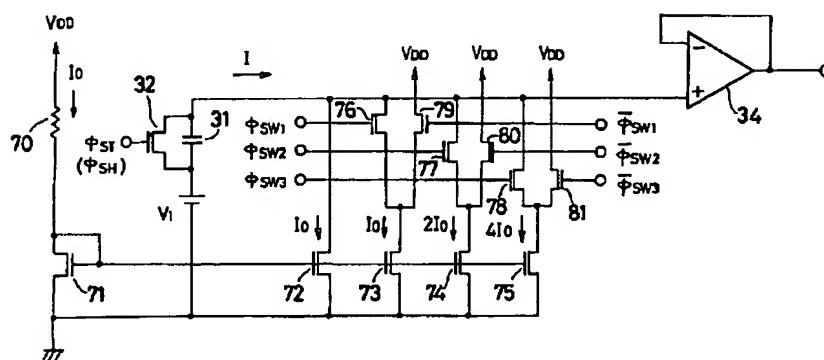
【图 16】



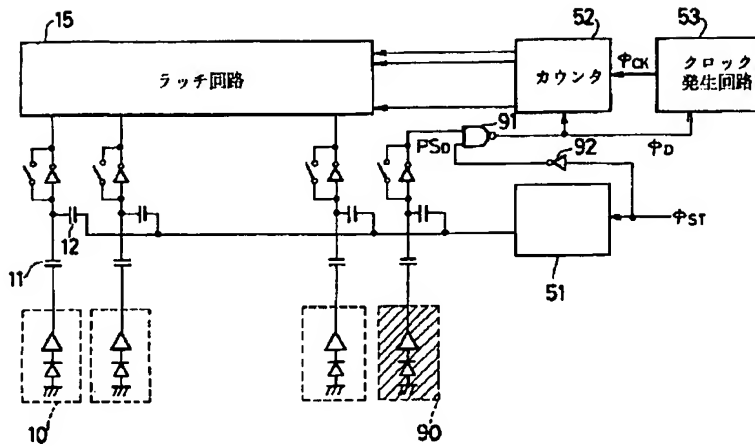
【图 10】



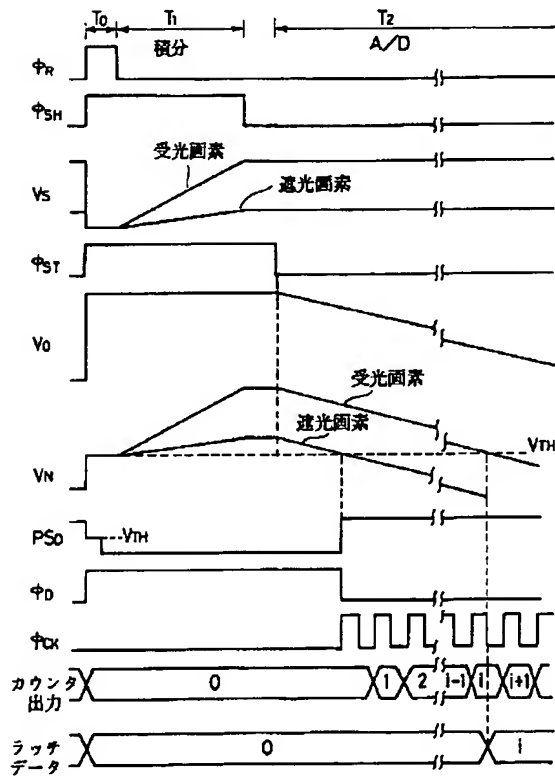
【图 13】



【図14】



【図15】



【図18】

